

탐침과 시편의 위치를 역전시킨 주사 탐침 현미경용 다이아몬드 탐침의 제작 및 평가

김수길¹ · Thomas Hantschel² · 김진혁^{1†}

¹전남대학교 신소재공학과, ²IMEC

Design, Fabrication and Evaluation of Diamond Tip Chips for Reverse Tip Sample Scanning Probe Microscope Applications

Sugil Gim¹, Thomas Hantschel², and Jin Hyeok Kim^{1†}

¹Department of Materials Science and Engineering, Chonnam National University, Gwangju 61186, Republic of Korea
²IMEC, Leuven 3001, Belgium

(Received January 4, 2024 : Revised February 5, 2024 : Accepted February 6, 2024)

Abstract Scanning probe microscopy (SPM) has become an indispensable tool in efforts to develop the next generation of nanoelectronic devices, given its achievable nanometer spatial resolution and highly versatile ability to measure a variety of properties. Recently a new scanning probe microscope was developed to overcome the tip degradation problem of the classic SPM. The main advantage of this new method, called Reverse tip sample (RTS) SPM, is that a single tip can be replaced by a chip containing hundreds to thousands of tips. Generally for use in RTS SPM, pyramid-shaped diamond tips are made by molding on a silicon substrate. Combining RTS SPM with Scanning spreading resistance microscopy (SSRM) using the diamond tip offers the potential to perform 3D profiling of semiconductor materials. However, damage frequently occurs to the completed tips because of the complex manufacturing process. In this work, we design, fabricate, and evaluate an RTS tip chip prototype to simplify the complex manufacturing process, prevent tip damage, and shorten manufacturing time.

Key words reverse tip sample, diamond tip, wet etching, scanning spreading resistance microscopy.

1. 서 론

원자, 분자 수준의 분해능을 가진 주사 탐침 현미경 (scanning probe microscopy, SPM)은 주사 전자 현미경 (scanning electron microscopy, SEM)과 함께 시편의 표면 형상을 계측하는 주된 장비로서 사용되고 있다. 또한 주사 탐침 현미경은 계측에 진공을 필요로 하지 않고 탐침(tip)의 기능과 특성에 따라 3차원 형상, 전자기 특성, 기계적 특성, 광학적 특성 측정 등 다양한 분석을 가능하게 하여 확장성이 높은 계측장비이다. 최근 반도체 소자의 집적도를 높이기 위해 장치의 크기가 줄어들고 모양이 더욱 3차

원적으로 변하면서 상대적으로 계측의 중요성이 높아졌다.¹⁾ 특히 주사 탐침 현미경을 응용한 SSRM (scanning spreading resistance microscopy)은 탐침이 소자 표면에 직접 접촉하여 생기는 확산저항을 넓은 영역에서 측정함으로써 sub-nm 수준의 도펀트 프로파일링을 높은 해상도와 민감도로 제공하는 가장 훌륭한 방법으로 평가받고 있다.²⁾ 고해상도의 SSRM 측정을 위해서는 8~12 GPa를 견딜 정도로 단단하고 전도도가 좋은 탐침을 요구하기 때문에 SSRM용 탐침으로 다이아몬드 탐침이 연구되었다.³⁾ 이후 SSRM과 탐침에 의한 표면 물질 제거를 결합한 scalpel SSRM이 등장하여 반도체 소자의 3차원 프로파일링을 가

[†]Corresponding author

E-Mail : jinhyeok@chonnam.ac.kr (J. H. Kim, Chonnam Nat'l Univ.)

© Materials Research Society of Korea, All rights reserved.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

능하게 하였다. Celano et al.⁴⁾은 scalpel SSRM이 FinFET 반도체 소자의 나노미터 미만의 수직제거를 통해 연속적인 단층 촬영을 가능하게 한다는 것을 증명했다.

최근 유럽에서는 측정 중에 탐침을 쉽고 빠르게 교체할 수 있는 가능성을 제공하는 reverse tip sample (RTS) SPM이라는 새로운 구성이 연구되고 있다. 이 방법은 구조적으로 탐침과 시편의 위치를 반전시켜, 측정 중 탐침 부러짐과 같이 일반적인 SPM에서 자주 발생하는 문제에 대한 새로운 해결책을 제시하고 있다. 시편은 캔틸레버 끝에 위치하여 SPM에 장착되고 시편을 스캔하는 탐침은 기존의 시편 위치에 배치된다. 팁-칩(tip-chip, 수백 개의 탐침이 하나의 칩 위에 놓인 형태)의 위로 작은 캔틸레버가 이동하면서 새 탐침을 선택하는 방식으로 구성할 수 있다. RTS SPM은 기존 SPM 방식에 비해 탐침 교체에 필요한 시간을 대폭 줄일 수 있으면서 서로 다른 분석을 쉽게 조합할 수 있다. 현재까지 연구되고 있는 RTS SPM용 팁-칩 구조는 다이아몬드 탐침 제조 방법 중 하나인 full diamond tip (FDT)를 RTS용 탐침으로 사용하고 있다. FDT를 사용한 RTS SSRM 측정은 높은 분해능을 가진 결과를 얻을 수 있지만 긴 제작시간에 비해 제작 후 팁-칩 내 사용가능한 탐침이 적다는 문제점을 가지고 있다.

본 연구에서는 개발되고 있는 RTS SSRM을 위한 팁-칩의 제작시간을 단축시키기 위해 구조를 개선하여 새롭게 디자인하였다. 또한 분해능을 높이기 위해 샤프닝 공정을 적용시켜 탐침 정상을 날카롭게 제작하였다. 주사전자현미경으로 변경된 구조의 RTS 팁-칩과 탐침의 형상을 관찰하였다. 마지막으로 다이아몬드 탐침의 성능은 RTS 모드에서 SSRM 측정을 통해 평가되었다.

2. 실험 방법

2.1. RTS tip-chip 구조 디자인

제작에 사용되는 패턴 마스크의 개수는 전체 공정 시간을 결정하는 중요한 요소이다. 패턴 마스크 간 배열은 수 마이크로 단위로 결정되고 마스크 간 배열이 정확하지 않은 경우 탐침을 손상시키는 경우를 발생시킨다. Fig. 1(a, b)는 3개의 마스크의 배열이 정확히 이루어진 경우와 그렇지 않은 경우의 탐침 형상을 보여주고 있다. 배열이 올바르게 이루어지지 않으면 탐침의 파괴문제가 발생하고, 이 문제를 개선하기 위해 새로운 디자인은 패턴 마스크를 2개만 사용하여 2차원 어레이(array) 구조로 다이아몬드 탐침을 배열하여 손상을 줄이고 공정시간을 단축하였다. 탐침 제작에 평균 2주 이상 소요되던 지난 디자인에 비해

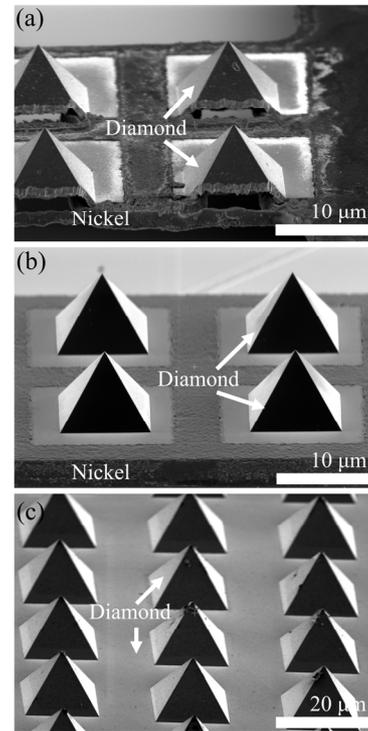


Fig. 1. The SEM images of fabricated FDT with (a) misaligned, (b) correct aligned and (c) new designed.

새로운 디자인은 1주만에 탐침 제작을 완료할 수 있다. RTS 모드에서 서포트 칩의 밖에 위치한 전통적인 탐침의 구조를 적용시키면 측정 중 탐침과 샘플 모두 움직일 수 있다. 이는 정확한 측정을 어렵게 하기 때문에 탐침이 캔틸레버 안쪽에 고정되어있는 팁-칩 구조를 적용시켰다. Fig. 1(c)에서 새롭게 디자인된 2차원 어레이 다이아몬드 팁-칩 구조를 볼 수 있다.

2.2. RTS tip-chip 제작

본 연구에서 적용된 RTS 팁-칩의 새로운 제작과정을 Fig. 2에 표기하였다. 먼저 $15\ \mu\text{m} \times 15\ \mu\text{m}$ 크기의 정사각형 패턴을 실리콘 웨이퍼의 하드 마스크 층(SiO_2)에 형성시키고 이방성(anisotropic) 수산화칼륨(KOH) 에칭이 이어져 실리콘 웨이퍼에 역피라미드 몰드가 생성된다.⁵⁾ 수산화칼륨 에칭은 이방성 에칭으로서, 에칭시간이 부족할 경우 Fig. 3(a)처럼 고원 형태를 만들기 때문에 정확한 에칭시간 설정을 요구한다. 완벽하게 에칭이 마무리된 실리콘 웨이퍼 몰드는 Fig. 3(b)에서 볼 수 있다. 웨이퍼 전역에 붕소 도핑된 다이아몬드 나노 입자를 뿌리고 핫 필라멘트 화학 기상 증착(hot-filament chemical vapor deposition)을 통해 약 $800\ \mu\text{m}$ 두께의 다이아몬드 필름을 성장시킨다. 이 단계에서 다이아몬드 탐침이 형성되고 모양이 결정된

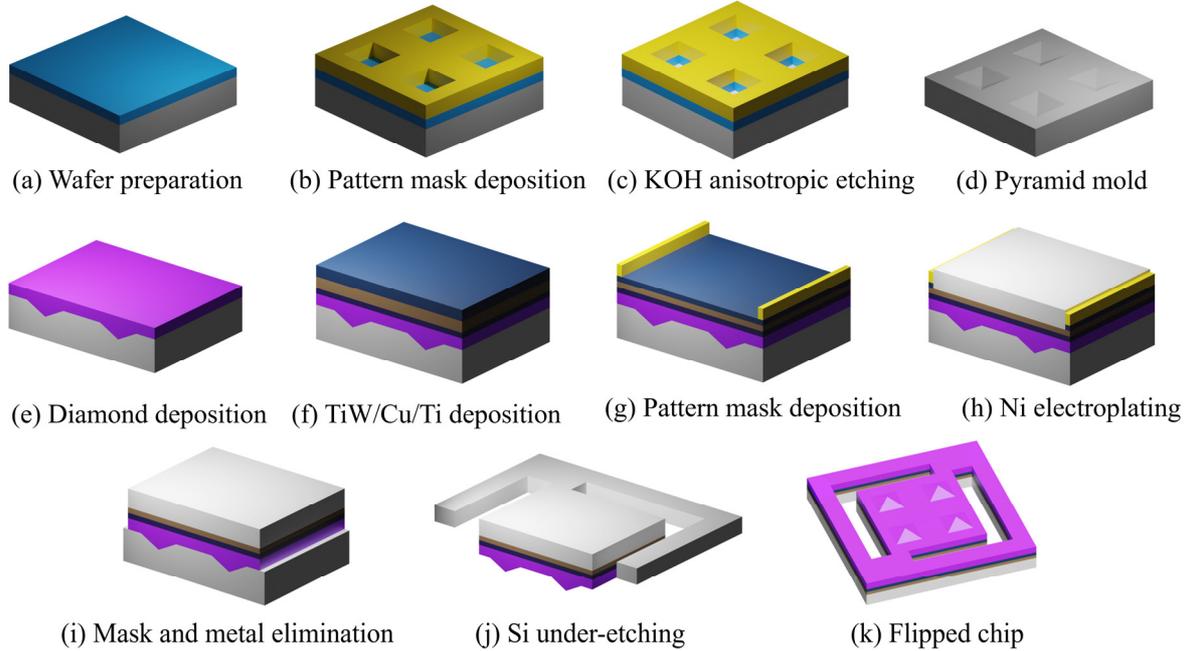


Fig. 2. Schematic illustration of fabrication process for RTS SPM tip-chip.

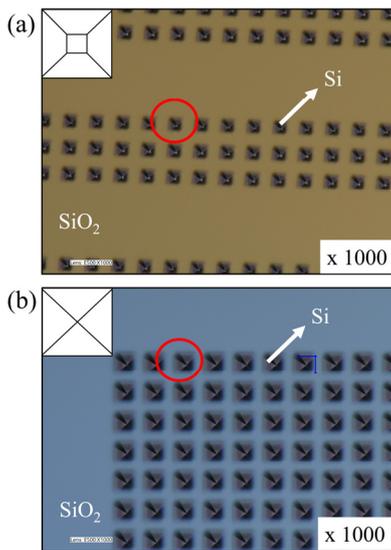


Fig. 3. The optical images of SiO₂ deposited on Si wafer with (a) incomplete KOH etching (plateau shape) and (b) completed KOH etching (pyramidal shape).

다. 다음으로 티타늄-텅스텐(TiW)/구리(Cu)/티타늄(Ti)의 금속층들이 스퍼터링되고 웨이퍼에 패턴화가 이루어진다. 티타늄-텅스텐층은 접착층으로 사용된다. 이는 이후의 제조 단계를 견딜 수 있을 만큼 접착력이 높아야 하지만 나중에 탐-칩이 분리될 수 있을 만큼 접착력이 낮아야 한다. 구리층은 니켈 전기도금을 위한 시드층으로 사용되고, 티타늄층은 구리의 산화를 방지하는 보호층으로 사용된다. 약 5.5 μm 두께의 전기도금(electroplating)된 니켈층

을 증착하여 캔틸레버와 멤브레인으로 구성된 탐-칩을 형성한다. 니켈 멤브레인은 탐-칩 가장 자리에 위치하여 작업을 용이하게 만드는 역할을 한다. 남아있는 금속층들과 패턴 마스크 층은 에칭되며 니켈층은 O₂/SF₆ 반응성 이온 에칭(reactive ion etching) 공정에서 다이아몬드를 에칭하는 마스크 역할을 한다. 첫 번째 수산화칼륨 에칭은 피라미드 탐침의 형태를 결정하지만 두 번째 수산화칼륨 에칭은 웨이퍼 몰드와 탐침을 분리시키는 역할을 하며, 에칭이 제대로 이루어지지 않으면 탐침이 분리되지라도 이물질이 남게 된다. 에칭 시간에 따른 탐침 분리정도를 비교하기 위해 각 4시간과 6시간의 수산화칼륨 에칭이 수행되었다. 일차적으로 제작된 tip-chip의 형상을 확인하기 위해 주사전자현미경을 이용하여 미세구조를 관찰하였다. 형상 확인이 완료된 탐침들은 추가로 건식 에칭 과정에서 처리되어 날카롭게 만들 수 있다. 이러한 종류의 날카로운 탐침을 hedgehog FDT (HFDT)라고 한다. 본 연구에서 사용된 샤프닝 공정은 다른 곳에서 자세히 설명된 HFDT 제작과 동일하다.⁶⁾ 샤프닝 공정까지 완료된 탐-칩을 주사전자현미경으로 형상을 관찰하고 RTS모드에서 SSRM을 측정하여 성능을 평가한다.

3. 결과 및 고찰

3.1. 탐침 형상

Fig. 4에서 변경된 디자인에 의한 다이아몬드 탐침의 형

상 비교를 위해 주사전자현미경 이미지를 확인하였다. 과거 디자인으로 제작된 탐침은 티타늄-텅스텐 표면에서 독립적인 구조임을 볼 수 있다. 새롭게 디자인된 형상은 이전의 독립적인 구조가 아니라 2차원 어레이 구조의 탐침임을 확인할 수 있다. 정상적으로 에칭이 마무리되지 못해 실리콘 잔여물이 남아있는 팁-칩을 Fig. 5(a)에서 볼 수 있다. 수산화칼륨에서 4시간 동안 에칭을 진행한 결과는

에칭용액이 팁-칩의 중앙까지 침투하지 못해 일부 탐침 표면에 실리콘 잔여물이 남아있는 것을 의미한다. Fig. 5(b)에서 6시간 동안 에칭이 성공적으로 이루어진 팁-칩과 수백 개에 달하는 다이아몬드 탐침의 주사전자현미경 이미지를 확인할 수 있다. 표면에 펼쳐진 다이아몬드 층은 외부로부터 팁-칩을 보호하여 chip 손상을 방지한다. 탐침 정상 날카로운 정도는 주사 탐침 현미경 이미지의 해상

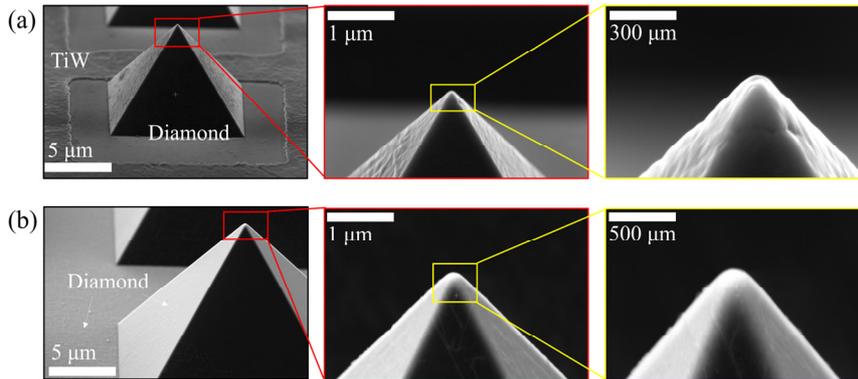


Fig. 4. The SEM images of full diamond tip and its apex (a) fabricated with old design and (b) fabricated with new design.

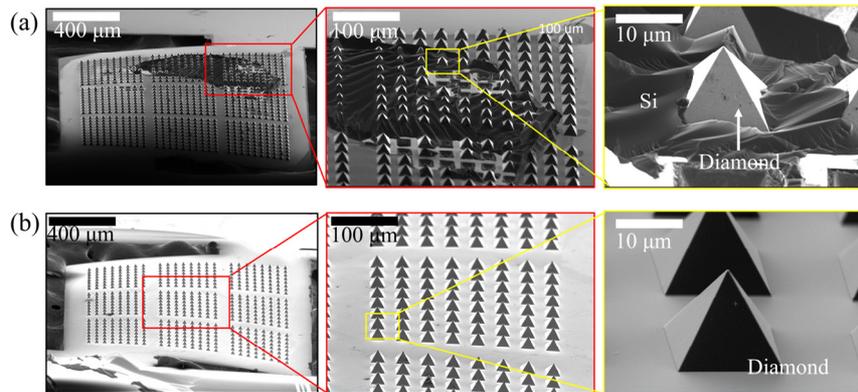


Fig. 5. Overview of tip-chip and diamond tips for RTS: (a) after 4 hours of KOH etching and (b) after 6 hours of KOH etching.

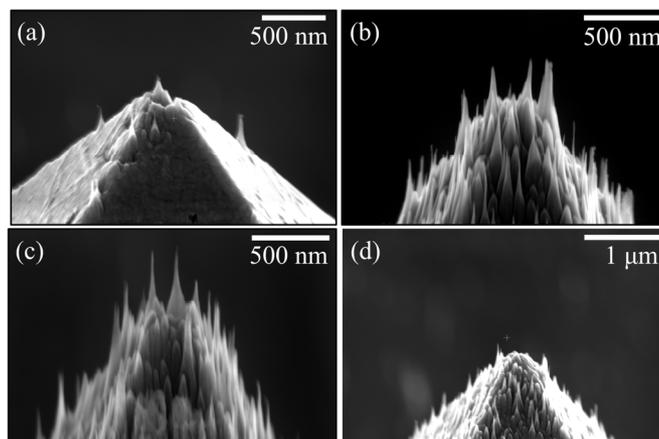


Fig. 6. The results of sharpening process: (a) single tip, (b) and (c) multiple tips, (d) blunt tip.

도를 결정하는 중요한 특성이다. 또한 무딘 탐침보다 날카로운 탐침에서 고해상도의 SSRM 측정결과를 얻을 수 있다. Fig. 6은 샤프닝 공정 이후의 다이아몬드 탐침의 형상을 보여준다. 샤프닝 공정 이전의 다이아몬드 탐침 정상직경은 수백 나노미터로 무디지만, 샤프닝 공정을 거치면 수십 혹은 수 나노미터로 날카로워진 것을 확인할 수 있다. 또 샤프닝 공정의 결과로 정상에 여러 형태의 HFDT가 형성된 것을 볼 수 있는데, 제작된 수백 개의 다이아몬드 탐침 중 하나의 날카로운 HFDT가 정상에 위치하는 경우는 약 30 %만 해당되었다. 이외 약 50 %에서는 두개 이상의 HFDT가 정상에 위치하였고 나머지 20 %의 탐침에서는 무딘 FDT가 위치하였다.

3.2. 탐침 평가

제작된 RTS FDT chip의 측정 방식은 Fig. 7(a)에서 볼 수 있다. 아래쪽으로 보이는 사각형들은 각각 하나의 다이아몬드 탐침을 나타내며 그 위를 시편을 장착한 캔틸레버가 탐침 위를 움직이며 측정한다. 샤프닝 공정이 다이아몬드 탐침의 성능에 미치는 영향을 확인하기 위해 샤프닝 공정이 적용된 탐침과 적용되지 않은 탐침으로 도핑농도가

계단 형태인 시편의 SSRM 측정을 진행하였다. 측정에 사용된 다이아몬드 탐침의 형상은 Fig. 7(b, d)에서 볼 수 있다. Fig. 7(c, e)에서 각 탐침으로 측정된 저항프로파일링 결과를 보면, 샤프닝 공정이 적용되지 않은 탐침보다 샤프닝 공정 후 날카로운 탐침에서 고해상도의 이미지를 얻을 수 있다는 것을 알 수 있다.⁷⁾ 실제 반도체 소자에서 이미지 측정 성능을 확인하기 FinFET과 GaAs nanoridge 시편을 RTS SSRM 측정을 진행하였다. Fig. 8에서 샤프닝 공정이 적용된 다이아몬드 탐침이 복잡한 FinFET 구조의 소스(source)와 드레인(drain), 게이트(gate) 그리고 부도체 영역까지 정확하게 표현하는 것을 볼 수 있다. 또한 날카로운 다이아몬드 탐침 사용은 0.3 V의 set-point에서 선명한 이미지를 보여주고 있는데 이는 평균적으로 1 V의 set-point를 사용하는 다른 SSRM용 탐침에 비해 시편의 표면에 가해지는 힘이 작다는 것을 의미한다. 한편 Fig. 9에서 정상과 그 주변에 여러 개의 HFDT를 가진 다이아몬드 탐침으로 GaAs nanoridge 시편을 측정한 결과를 확인할 수 있다. 다이아몬드 탐침은 FinFET 시편에서와 동일한 set-point에서 금속영역과 부도체영역을 정확하게 표현했다. 하지만 set-point를 1 V까지 증가시키면 가장 정상에 있는

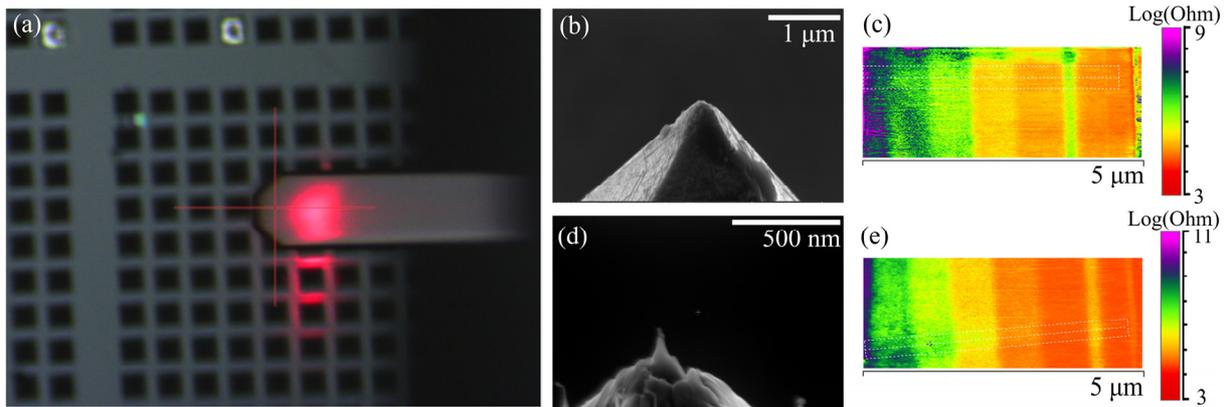


Fig. 7. (a) Measurement process of RTS SSRM. SSRM images of Si calibration samples: (c) with (b) tip and (e) with (d) tip.

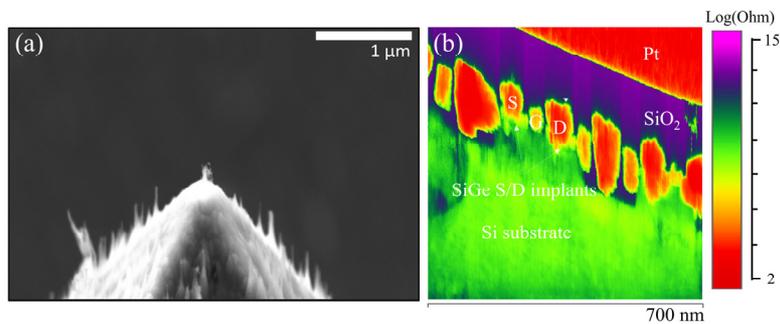


Fig. 8. (a) Single tips for measuring FinFET and (b) SSRM image of FinFET (Set-point: 0.3 V, Bias voltage: +500 mV, Scan size: 700 nm², Scan speed: 1 Hz).

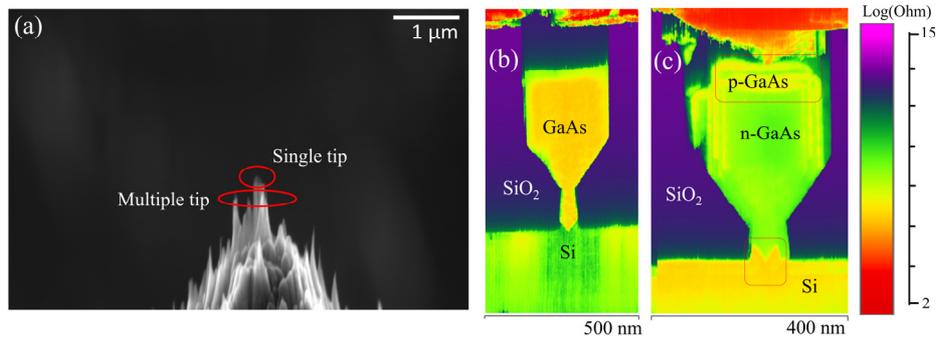


Fig. 9. (a) Single and multiple tips for measuring GaAs nanoridge. SSRM image of GaAs nanoridge: (b) with single tip (Set-point: 0.3 V, Bias voltage: +1 V, Scan speed: 1 Hz) and (c) multiple tip (Set-point: 1 V, Bias voltage: +1 V, Scan speed: 1 Hz).

HFDT와 그 주변의 HFDT들이 동시에 시편에 닿으면서 동시접촉(multi-contact)현상으로 이어졌다. Fig. 9(c)의 동시접촉 결과는 RTS SSRM 측정 시 누르는 힘의 설정과 탐침 선택의 중요성을 보여주고 있다.

4. 결 론

본 연구에서는 RTS용 tip-chip의 구조를 개선하여 제작 공정을 단축시켰다. 이를 위해 기존의 사용하던 패터 마스크의 수를 줄이고 2차원 구조로 탐-칩을 제작하였다. 특히 에칭 공정을 개선하고 샤프닝 공정을 도입하는 등 공정 조건을 최적화하였다. SPM 탐침으로써 성능을 평가하기 위해 형상을 관찰하고 RTS 모드에서 계단형, FinFET 그리고 GaAs nanoridge 총 세 가지 시편의 SSRM 측정을 수행하였다. 새롭게 디자인되고 샤프닝 공정이 적용된 탐-칩은 RTS모드에서 반도체 소자 내 정량적인 도펀트 프로파일링뿐만 아니라 복잡하고 정밀한 구조를 높은 분해능으로 명확하게 표현했다. 본 연구를 통해 샤프닝 공정 적용은 반도체 소자의 고해상도의 SSRM 계측을 위해 필수적이라는 것을 시사하였다. 본 연구에서 수행한 실험 결과들은 SSRM용 다이아몬드 탐침 제작과 이해에 관련된 연구에 도움이 될 것으로 보이며 RTS모드 개발 및 응용 연구에도 기여할 것을 기대한다.

Acknowledgement

This research was supported by the MOTIE (Ministry of Trade, Industry, and Energy) in Korea, under the Fostering Global Talents for Innovative Growth Program (P0017312) supervised by the Korea Institute for Advancement of Technology (KIAT).

References

1. N. G. Orji, M. Badaroglu, B. M. Barnes, C. Beitia, B. D. Bunday, U. Celano, R. J. Kline, M. Neisser, Y. Obeng and A. E. Vladar, *Nat. Electron.*, **1**, 532 (2018).
2. W. Vandervorst, C. Fleischmann, J. Bogdanowicz, A. Franquet, U. Celano, K. Paredis and A. Budrevich, *Mater. Sci. Semicond. Process.*, **62**, 31 (2017).
3. T. Hantschel, M. Tsigkourakos, L. Zha, T. Nuytten, K. Paredis, B. Majeed and W. Vandervorst, *Microelectron. Eng.*, **159**, 46 (2016).
4. U. Celano, T. Hantschel, T. Boehme, A. Kannianen, L. Wouters, H. Bender, N. Bosman, C. Drijbooms, S. Folkersma, K. Paredis, W. Vandervorst and P. Van Der Heide, in *Proceedings of the 2019 IEEE International Electron Devices Meeting (San Francisco, CA, February 2020)* p. 90.
5. H. Seidel, L. Csepregi, A. Heuberger and H. Baumgärtel, *J. Electrochem. Soc.*, **137**, 3612 (1990).
6. L. Wouters, T. Boehme, L. Mana and T. Hantschel, *Micro Nano Eng.*, **19**, 100195 (2023).
7. T. Hantschel, P. Niedermann, T. Trenkler and W. Vandervorst, *Appl. Phys. Lett.*, **76**, 1603 (2000).

<저자소개>

김수길

전남대학교 신소재공학과 학생

Thomas Hantschel

IMEC SPM Manager

김진혁

전남대학교 신소재공학과 교수